

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**TFT LIQUID CRYSTAL DISPLAY ELEMENT**

Patent Number: JP9090428  
Publication date: 1997-04-04  
Inventor(s): TERUHIRA JIYUNYA  
Applicant(s): CASIO COMPUT CO LTD  
Requested Patent: ☐ JP9090428  
Application Number: JP19950273716 19950928  
Priority Number(s):  
IPC Classification: G02F1/136; G02F1/1343; H01L29/786; H01L21/336  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a TFT liquid crystal display element capable of displaying high-grade images and reducing electric consumption.

**SOLUTION:** Protective element wirings 45 connected with electrostatic protective elements 51 between these wirings and address wiring 33 and connected with electrostatic protective elements 49 between the wirings and data wirings 31 are connected via resistance elements 53 to a common wiring 47 on which a common voltage is impressed. These resistance elements 53 are constituted by etching part of the wiring to narrow the line width narrower than the line width of the other parts and/or forming the elements to a smaller layer thickness. The currents flowing from the common wiring 47 via the electrostatic protective elements 51 to the address wirings 33 are suppressed by the resistance elements 53 according to such constitution. Then, the drop of the common voltage is prevented.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-90428

(43) 公開日 平成9年(1997)4月4日

| (51) Int.Cl. <sup>8</sup> | 識別記号  | 庁内整理番号 | F I           | 技術表示箇所 |
|---------------------------|-------|--------|---------------|--------|
| G 0 2 F 1/136             | 5 0 0 |        | G 0 2 F 1/136 | C I    |
|                           |       |        | 1/1343        | C I    |
| H 0 1 L 29/786            |       |        | H 0 1 L 29/78 | 6 1 1  |
| 21/336                    |       |        |               |        |

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21) 出願番号 特願平7-273716

(22) 出願日 平成7年(1995)9月28日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 輝平 淳也

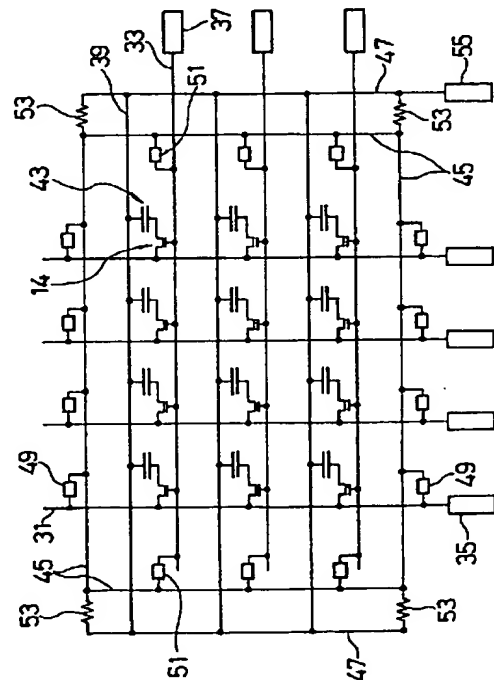
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(54) 【発明の名称】 T F T液晶表示素子

## (57) 【要約】

【課題】 高品位の画像を表示でき、消費電力の少ない T F T液晶表示素子を提供することである。

【解決手段】 アドレス配線33との間に静電保護素子51が接続され、データ配線31との間に静電保護素子49が接続された保護素子配線45は、抵抗素子53を介して、コモン電圧が印加されるコモン配線47に接続される。抵抗素子53は、配線の一部をエッチングして、線幅を他部よりも狭く、且つ／又は層厚を薄く形成して構成される。このような構成によれば、コモン配線47から静電保護素子51を介してアドレス配線33に流れ込む電流は、抵抗素子53により抑制される。従って、コモン電圧の低下を防止することができる。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタに接続されたアドレス配線及びデータ配線と、各アドレス配線及び各データ配線に一端が接続された複数の静電保護素子と、各前記静電保護素子の他端に共通に接続された保護素子配線と、コモン電圧が印加されるコモン配線と、前記保護素子配線とコモン配線とを接続する抵抗素子と、が配置された第1の基板と、

前記各画素電極に対向して配置され、前記コモン電圧が印加される対向電極が配置された第2の基板と、

前記第1及び第2の基板間に配置された液晶と、を備え、

前記静電保護素子を通る電流を前記抵抗素子により抑制することを特徴とするTFT液晶表示素子。

【請求項2】前記アドレス配線に接続された前記静電保護素子と、前記データ配線に接続された静電保護素子との間の保護素子配線に、さらに抵抗素子が挿入されていることを特徴とする請求項1に記載のTFT液晶表示素子。

【請求項3】前記抵抗素子は、他部よりも細く及び／又は薄く形成された配線で構成されていることを特徴とする請求項1または2に記載のTFT液晶表示素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、高品位の画像を表示でき、また消費電力が少ないTFT液晶表示素子に関する。

## 【0002】

【従来の技術】従来のTFT液晶表示素子の等価回路を、図4に示す。図4に示すように、TFT液晶表示素子には、TFT（薄膜トランジスタ）61がマトリクス状に配置されている。各TFT61のゲート電極はアドレス配線62に接続され、各TFT61のドレイン電極はデータ配線63に接続されている。各TFT61のソース電極は、液晶容量と補助容量からなる合成容量65に接続されている。合成容量65の他端は合成容量配線66に接続されている。

【0003】アドレス配線62には、アドレス配線端子69よりアドレス信号が印加され、データ配線63には、データ配線端子70よりデータ信号が印加され、対応するTFT61がオンして、合成容量65にデータ信号に対応する電荷が保持される。合成容量配線66のそれぞれは、コモン配線64に接続されている。コモン配線64には、コモン配線端子71より共通電圧（コモン電圧）が印加される。

【0004】表示領域の外側には、非線形の電流－電圧特性を有する静電保護素子67、68が配置され、静電保護素子67の一端はコモン配線64に、また他端はア

ドレス配線62に接続されている。また、静電保護素子68の一端はコモン配線64に、また他端はデータ配線63に接続されている。静電保護素子67、68は、静電気等による高電圧がアドレス配線62又はデータ配線63に印加された場合に、導通（オン）してTFT61の各電極を同電位にして、TFT61を保護する。

## 【0005】

【発明が解決しようとする課題】このような回路構成のTFT液晶表示素子においては、アドレス信号の平均電位はコモン信号の平均電位よりも10ボルト乃至15ボルト程度低い。従って、コモン配線64から静電保護素子67を通して各アドレス配線62に流れ込む電流の総和は無視できない値となる。また、静電保護素子67が光導電性を有する場合（例えばアモルファスシリコン半導体を抵抗体として用いる素子の場合）、TFT液晶表示素子のバックライトのオンにより静電保護素子67が導通（オン）して、コモン配線64からアドレス配線62へ電流が流れ込んでしまう虞がある。

【0006】このため、コモン電圧が低下し、フリッカの増大や残像現象等が生じ、表示品位が低下する。また、コモン電圧供給用の外部駆動回路の出力インピーダンスを十分下げなければ、外部駆動回路の消費電力が増大するという欠点がある。

【0007】同様に、静電保護素子68の漏れ電流及びバックライトからの光による静電保護素子68のオン等により、データ配線端子70に接続される外部駆動回路の消費電流が増加するという欠点がある。また、データ信号の電圧が低下して、合成容量65に所定の電圧が保持されなくなり、表示品位が低下する虞もある。

【0008】この発明は、上記実状に鑑みてなされたもので、高品位の画像を表示できるTFT液晶表示素子を提供することを目的とする。また、他の目的は、消費電力の少ないTFT液晶表示素子を提供することである。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、この発明にかかるTFT液晶表示素子によれば、マトリクス状に配置された複数の薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタに接続されたアドレス配線及びデータ配線と、各アドレス配線及び各データ配線に一端が接続された複数の静電保護素子と、各前記静電保護素子の他端に共通に接続された保護素子配線と、コモン電圧が印加されるコモン配線と、前記保護素子配線とコモン配線とを接続する抵抗素子と、が配置された第1の基板と、前記各画素電極に対向して配置され、前記コモン電圧が印加される対向電極が配置された第2の基板と、前記第1及び第2の基板間に配置された液晶と、を備え、前記静電保護素子を通る電流を前記抵抗素子により抑制することを特徴とする。

【0010】前記構成のTFT液晶表示素子によれば、

静電保護素子の漏れ電流により、コモン配線から各アドレス配線に向かって流れる電流を抑制することができる。また、TFT液晶表示素子のバックライトのオンにより静電保護素子が導通（オン）した場合でも、コモン配線からアドレス配線に漏れる電流を抑制することができる。従って、コモン信号の電圧の低下を抑えることができ、高品位の画像を表示することができる。また、外部駆動回路の消費電力を小さく抑えることができる。

#### 【0011】

【発明の実施の形態】以下、図面を参照してこの発明の一実施形態について説明する。図1は、この発明にかかるTFT液晶表示素子の構成を示す断面図である。図1に示すように、TFT液晶表示素子は、一対の透明基板11、12と、一対の透明基板11、12間に封止材SCにより封止された液晶13と、一対の透明基板11、12の外側に配置された一対の偏光板19、20と、より構成される。

【0012】一対の透明基板11、12のうち下側の透明基板（TFT基板）11には、TFT14と画素電極15とがマトリクス状に配置されている。TFT14及び画素電極15の上には、全面に配向膜16が配置されている。配向膜16には、所定方向にラビング等の配向処理が施されている。

【0013】一方、上側の透明基板（対向基板）12には、一枚の対向電極17が配置されている。対向電極17の上には、全面に配向膜18が配置されている。配向膜18には、配向膜16の配向処理方向を基準に、配向処理が施されている。

【0014】液晶13は、カイラル材が添加されたネマティック液晶等からなり、配向処理に従って、配向膜16から配向膜18に向かってツイストして配向している。一対の偏光板19、20は、その透過軸が配向膜16または18の配向処理方向を基準に設定されている。

【0015】このような構成のTFT液晶表示素子は、図2に示す等価回路で示される。図2に示すように、マトリクス状に配置された各TFT14のゲート電極には、行方向に配置されたアドレス配線（ゲート配線）33が接続されている。また、各ドレイン電極には、列方向に配置されたデータ配線31が接続されている。各アドレス配線33には、アドレス配線端子37を介してアドレス信号（ゲート信号）が印加され、各データ配線31には、データ配線端子35を介して、データ信号が印加される。

【0016】各TFT14のソース電極には、液晶容量と、液晶容量に並列に接続された補助容量とからなる合成容量43が接続されている。液晶容量は画素電極15と対向電極17とその間の液晶13とから構成され、補助容量は画素電極15と図示せぬ補助容量配線とその間の絶縁層、例えば、TFT14のゲート絶縁膜とから構成されている。

【0017】合成容量43の一端には、TFT14のオンに対応して、データ配線31からデータ信号が印加される。合成容量43の他端は、対向電極17と補助容量配線とからなる合成容量配線39に接続されている。合成容量配線39はコモン配線47に接続されている。コモン配線47及び合成容量配線39には、コモン配線端子55を介して共通電圧（コモン電圧）が印加される。

【0018】TFT14と合成容量43とがマトリクス状に配置された表示領域の外側には、保護素子配線45が配置されている。保護素子配線45と各アドレス配線33との間には、非線形電圧-電流特性を有する静電保護素子51が、また、保護素子配線45と各データ配線31との間にも静電保護素子49が、それぞれ接続されている。静電保護素子49、51は、静電気等による高電圧が各配線31、33等に加わった場合、導通（オン）してTFT14の各電極を等電位にしてTFT14を保護する。保護素子配線45は、例えば100Ω～10KΩの抵抗値の抵抗素子53を介してコモン配線47に接続されている。抵抗素子53は、例えば、配線の一部をエッチングして線幅を他部よりも狭く、及び／又は、層厚を薄く形成して構成されている。

【0019】このような構成のTFT液晶表示素子においては、コモン配線47は抵抗素子53と、保護素子配線45と、静電保護素子51とを介してアドレス配線33に接続されている。従って、コモン配線47からアドレス配線33に流れ込む電流は、抵抗素子53により抑制される。また、静電保護素子51が光導電性の保護素子である場合、TFT液晶表示素子のバックライト（図示せず）のオンにより、静電保護素子51が導通した場合でも、コモン配線47からアドレス配線39に流れる電流を抑制することができる。

【0020】従って、コモン電圧の変動を抑えて、フリッカの増大や、残像現象を防止し、高品位の画像を表示することができる。また、コモン配線端子55に接続されるコモン駆動回路の出力インピーダンスを従来と同一としても、その消費電力を小さくすることができる。

【0021】この発明は、上記実施形態に加え、次のような変形が可能である。上記実施形態においては、保護素子配線45とコモン配線47との間に抵抗素子53を接続してコモン電圧の変動を防止したが、それに加え図3に示す様に、静電保護素子49と51の間の保護素子配線45に抵抗素子を挿入して、データ信号の電圧の低下を防止してもよい。

【0022】このような回路構成とすることによって、データ配線31は、静電保護素子49、保護素子配線45、抵抗素子54、静電保護素子51をそれぞれ介してアドレス配線33に接続される。従って、データ配線31から各アドレス配線33に流れ込む電流は、抵抗素子54により抑制される。さらに、バックライトのオンにより静電保護素子49、51がオンした場合でも、デー

タ配線31からアドレス配線33に流れる電流を抑制することができる。

【0023】従って、データ信号の電圧の低下を抑制することができ、高品位の画像を表示することができる。また、データ信号を印加するための外部駆動回路の出力インピーダンスを、従来より高い値に設定でき、消費電力を小さくすることができる。

【0024】

【発明の効果】以上述べたように、この発明によれば、高品位の画像を表示できるTFT液晶表示素子を提供することができる。また、消費電力の少ないTFT液晶表示素子を提供することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態にかかるTFT液晶表示素子の構成を示す断面図である。

【図2】この発明の一実施形態にかかるTFT液晶表示素子の構成を示す回路図である。

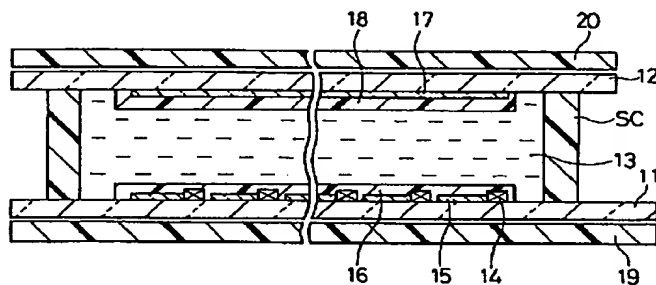
【図3】この発明の他の実施形態にかかるTFT液晶表示素子の構成を示す回路図である。

【図4】従来のTFT液晶表示素子の構成を示す回路図である。

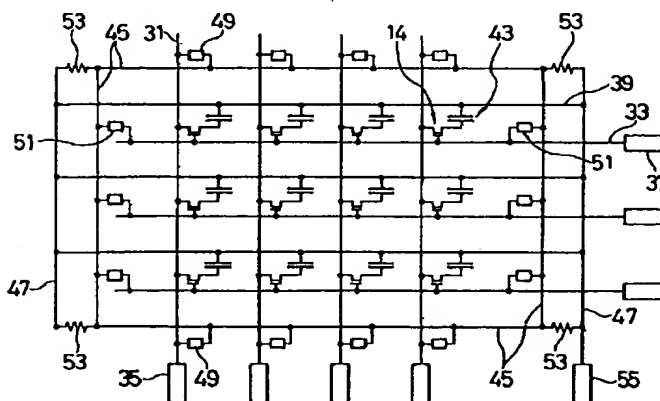
【符号の説明】

11…TFT基板、12…対向基板、13…液晶、14…TFT、15…画素電極、16…配向膜、17…対向電極、18…配向膜、19…偏光板、20…偏光板、31…データ配線、33…アドレス配線、35…データ配線端子、37…アドレス配線端子、43…合成容量、45…保護素子配線、47…コモン配線、49…静電保護素子、51…静電保護素子、53…抵抗素子、54…抵抗素子

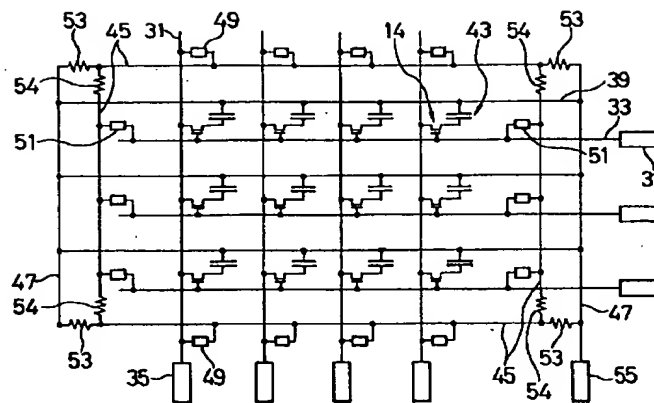
【図1】



【図2】



【図3】



【図4】

